



(19)

(11) Publication number:

10056138 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 08223321

(51) Intl. Cl.: H01L 27/06 H01L 23/58 H01L 27/04 H01L 21/822

(22) Application date: 07.08.96

(30) Priority:

(43) Date of application
publication: 24.02.98(84) Designated contracting
states:

(71) Applicant: RICOH CO LTD

(72) Inventor: TSUJI TAKAHIRO

(74) Representative:

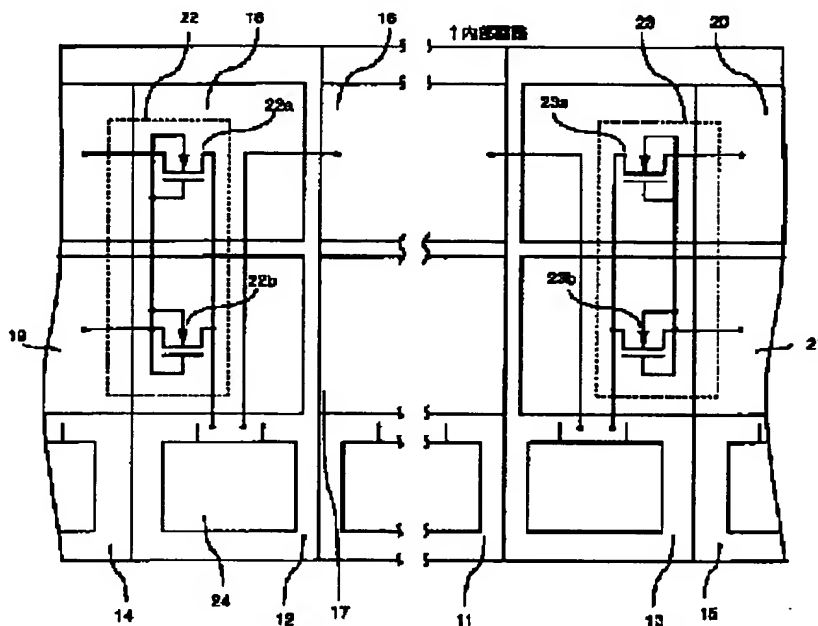
(54) SEMICONDUCTOR
INPUT/OUTPUT CIRCUIT

(57) Abstract:

PROBLEM TO BE SOLVED: To make it possible to provide a protective circuit adequately between an analog circuit and a digital circuit and reduce noises from the digital circuit to the analog circuit without increasing the area of an input/output circuit.

SOLUTION: In a semiconductor integrated circuit, an input/output circuit made up of analog and digital circuits includes a first protective circuit 22 for connecting an analog power terminal 12 with a digital power line 18 and a digital GND line 19 for protecting an inner circuit from an overvoltage or overcurrent, and a second protective circuit for connecting an analog GND terminal 13 with a digital power line 20 and a digital GND line 21 for protecting an inner circuit from an overvoltage or overcurrent. An analog input/output terminal 11 is provided between the analog power terminal 12 and the analog GND terminal 13.

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-56138

(43) 公開日 平成10年(1998) 2月24日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	27/06		H 0 1 L 27/06	3 1 1 Z
	23/58			C
	27/04		27/04	H
	21/822			

審査請求 未請求 請求項の数 1 F D (全 6 頁)

(21) 出願番号 特願平8-223321

(22) 出願日 平成8年(1996) 8月7日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 辻 貴浩

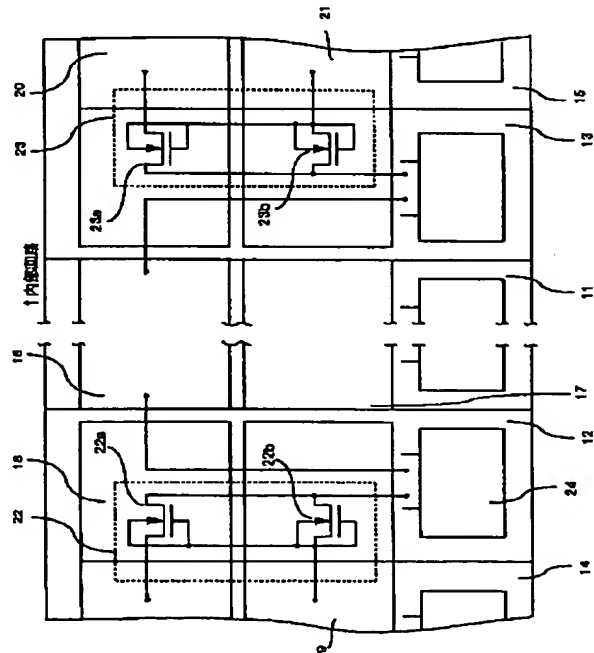
東京都大田区中馬込1丁目3番6号 株式会社リコー内

(54) 【発明の名称】 半導体入出力回路

(57) 【要約】

【課題】 入出力回路の面積を増大させることなく、アナログ回路とデジタル回路との間に適切な保護回路を設けることを可能とし、更にデジタル回路からアナログ回路に乗りこえるノイズを減少させる。

【解決手段】 本発明の半導体入出力回路は、デジタル回路及びアナログ回路からなる半導体集積回路の入出力回路であって、アナログ電源端子12とデジタル電源ライン18及びデジタルGNDライン19とを接続し、過電圧及び過電流から内部回路(図示せず)を保護する第1の保護回路22と、アナログGND端子13とデジタル電源ライン20及びデジタルGNDライン21とを接続し、過電圧及び過電流から内部回路(図示せず)を保護する第2の保護回路23とを備え、アナログ電源端子12とアナログGND端子13との間にアナログ入出力端子11を配置して構成されている。



【特許請求の範囲】

【請求項1】 デジタル回路及びアナログ回路からなる半導体集積回路の入出力回路において、アナログ電源端子とデジタル電源ライン及びデジタルGNDラインとを接続し、過電圧及び過電流から前記半導体集積回路を保護する第1の保護回路と、アナログGND端子とデジタル電源ライン及びデジタルGNDラインとを接続し、過電圧及び過電流から前記半導体集積回路を保護する第2の保護回路と、を備え、前記アナログ電源端子と前記アナログGND端子との間にアナログ入出力端子を配置することを特徴とする半導体入出力回路。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明はCMOS多電源ICの入出力回路に関し、より詳細には、回路規模の増大の防止を図ると共に、アナログ回路がデジタル回路から受けるノイズの影響の減少を図った半導体入出力回路に関する。

【0002】

【従来の技術】アナログ／デジタル混載半導体集積回路に設けられた従来の入出力回路の第1の例を図3に示す。図3に示す入出力回路においては、デジタル回路からのノイズがアナログ回路に乗ることを防止するため、アナログ入出力端子11及びデジタル入出力端子14、15上を走る電源ライン16、18、20及びGNDライン17、19、21が、アナログ入出力端子11とデジタル入出力端子14、15との間で切離されている。なお、図3において、16はアナログ電源ライン、18及び20はデジタル電源ライン、17はアナログGNDライン、19及び21はデジタルGNDライン、25及び26は電源ライン及びGNDラインを切離する間隙部である。

【0003】アナログ／デジタル混載半導体集積回路に設けられた従来の入出力回路の第2の例を図4に示す。図4に示す入出力回路には、上述した間隙部25、26に、静電気による半導体集積回路の破壊（ESD破壊）を防止するための保護回路としてアナログGNDライン17とデジタルGNDライン19及び21とをそれぞれ接続する抵抗28、29が設けられている。

【0004】また、アナログ／デジタル混載半導体集積回路に設けられた従来の入出力回路の第3の例を図5に示す。図5に示す入出力回路には、上述した間隙部25、26に、静電気による半導体集積回路の破壊（ESD破壊）を防止するため、アナログ電源ライン16及びアナログGNDライン17とデジタル電源ライン18、20及びデジタルGNDライン19、21とをそれぞれ接続する保護回路30、31が設けられている。この保護回路30及び31は、それぞれNチャネルMOS

トランジスタ30a、30b及びNチャネルMOSトランジスタ31a、31bで構成されている。

【0005】更に、アナログ／デジタル混載半導体集積回路に設けられた従来の入出力回路の第4の例を図6に示す（特開平7-106455号公報『半導体集積回路装置の静電破壊保護回路』）。図6に示す入出力回路は、3つの電源ライン32～34で駆動される半導体集積回路に適用されたものであって、静電気による半導体集積回路の破壊を防止するための保護回路36を備えている。保護回路36は、各電源ライン32～34とGNDライン35とをそれぞれ接続するNチャネルMOSトランジスタ36a、36b、36dと、各電源ライン32～34をそれぞれ接続するNチャネルMOSトランジスタ36c、36e、36fとから構成されている。

【0006】

【発明が解決しようとする課題】しかしながら、図3に示す第1の例の入出力回路では、アナログ回路とデジタル回路との間に保護回路が設けられていないため、デジタル回路に対してアナログ入出力端子から過電流や過電圧が加えられた場合、静電気による半導体集積回路の破壊（ESD破壊）やラッチアップを起こし易いという問題がある。

【0007】図4に示す第2の例の入出力回路は、上記第1の例の入出力回路の問題を解決するため、デジタルGNDラインとアナログGNDラインとを抵抗を介して接続するものである。しかしながら、この入出力回路においても、アナログ回路からデジタル電源ライン及びデジタル回路からアナログ電源ラインへの保護回路が設けられていないため、ESD破壊やラッチアップの発生を十分に防止することができないという問題がある。加えて、保護回路として抵抗を用いるため、半導体基板上の入出力回路の面積が増大するという問題がある。

【0008】過電流や過電圧からの電源の保護は、図5に示す第3の例の入出力回路に設けられた保護回路で実現可能である。この保護回路を書き直すと図7（a）及び（b）の通りとなる。この第3の例の入出力回路は、アナログ電源ラインとデジタル電源ラインとの間に電位差がある場合であっても、保護回路を通じて電流が流れることがないことが特徴である。しかしながら、この入出力回路においても、アナログ電源ラインとデジタル電源ラインとの間及びアナログGNDラインとデジタルGNDラインとの間にトランジスタを配置しなければならないため、半導体基板上の入出力回路の面積が増大するという問題がある。

【0009】更に、図6に示す第4の例の入出力回路では、入出力回路に複数の電源ラインを通してあるため、入出力回路の面積を有効に使用できないという問題がある。

【0010】本発明は上記に鑑みてなされたものであ

て、入出力回路の面積を増大させることなく、アナログ回路とデジタル回路との間に適切な保護回路を設けることを可能とし、更にデジタル回路からアナログ回路に乗り移るノイズを減少させることを目的とする。

【0011】

【課題を解決するための手段】上記目的を達成するため、本発明の請求項1に係る半導体入出力回路は、デジタル回路及びアナログ回路からなる半導体集積回路の入出力回路において、アナログ電源端子とデジタル電源ライン及びデジタルGNDラインとを接続し、過電圧及び過電流から前記半導体集積回路を保護する第1の保護回路と、アナログGND端子とデジタル電源ライン及びデジタルGNDラインとを接続し、過電圧及び過電流から前記半導体集積回路を保護する第2の保護回路と、を備え、前記アナログ電源端子と前記アナログGND端子との間にアナログ入出力端子を配置するものである。

【0012】

【発明の実施の形態】以下、本発明に係る半導体入出力回路の実施の形態を図面を参照しつつ詳細に説明する。

【0013】図1は、実施の形態に係る半導体入出力回路の構成を示す構成図である。図1に示す半導体入出力回路は、デジタル回路及びアナログ回路からなる半導体集積回路の入出力回路であって、アナログ電源端子12とデジタル電源ライン18及びデジタルGNDライン19とを接続し、過電圧及び過電流から内部回路（図示せず）を保護する第1の保護回路22と、アナログGND端子13とデジタル電源ライン20及びデジタルGNDライン21とを接続し、過電圧及び過電流から内部回路（図示せず）を保護する第2の保護回路23とを備え、アナログ電源端子12とアナログGND端子13との間にアナログ入出力端子11を配置して構成されている。

【0014】第1の保護回路22は、2つのNチャネルMOSトランジスタ22a、22bから構成されている。また、第2の保護回路23も同様に、2つのNチャネルMOSトランジスタ23a、23bから構成されている。第1及び第2の保護回路22、23は、従来技術で説明した図7に示す回路と同様のものである。

【0015】図1に示す半導体入出力回路によれば、アナログ電源端子12とアナログGND端子13との間にアナログ入出力端子11を配置したため、アナログ回路とデジタル回路との間に保護回路22、23を設けることができ、静電気による半導体集積回路の破壊（ESD破壊）やラッチアップを起こし易いという問題を解消することができる。加えて、入出力回路が半導体基板上に占める面積の増加を防ぐことができる。

【0016】また、デジタル入力端子14、15とアナログ入出力端子11との間には必ずアナログ電源端子12又はアナログGND端子13が配置されるため、ア

ナログ回路がデジタル回路から受けるノイズの影響を少なくすることができる。

【0017】なお、従来技術の半導体入出力回路を示す図3～図6に合わせて図1に示す本実施の形態の半導体入出力回路を書き直すと、図2に示す通りとなる。図2から明かなように、本実施の形態の半導体入出力回路によれば、従来の半導体入出力回路に必要であった間隙部25、26をなくすことができ、半導体入出力回路が半導体基板上に占める面積を減少することができる。

【0018】

【発明の効果】以上説明したように、本発明に係る半導体入出力回路（請求項1）によれば、アナログ電源端子とデジタル電源ライン及びデジタルGNDラインとを接続し、過電圧及び過電流から半導体集積回路を保護する第1の保護回路と、アナログGND端子とデジタル電源ライン及びデジタルGNDラインとを接続し、過電圧及び過電流から半導体集積回路を保護する第2の保護回路とを備え、アナログ電源端子とアナログGND端子との間にアナログ入出力端子を配置するため、アナログ回路とデジタル回路との間に最適な保護回路を配置することができると共に、半導体入出力回路が半導体基板上に占める面積を減少することができる。また、デジタル入力端子とアナログ入出力端子との間には必ずアナログ電源端子又はアナログGND端子が配置されるため、アナログ回路がデジタル回路から受けるノイズの影響を少なくすることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る半導体入出力回路の構成を示す構成図である。

【図2】本発明の実施の形態に係る半導体入出力回路の構成を示す構成図である。

【図3】アナログ／デジタル混載半導体集積回路に設けられた従来の入出力回路の第1の例の構成を示す構成図である。

【図4】アナログ／デジタル混載半導体集積回路に設けられた従来の入出力回路の第2の例の構成を示す構成図である。

【図5】アナログ／デジタル混載半導体集積回路に設けられた従来の入出力回路の第3の例の構成を示す構成図である。

【図6】アナログ／デジタル混載半導体集積回路に設けられた従来の入出力回路の第4の例の構成を示す構成図である。

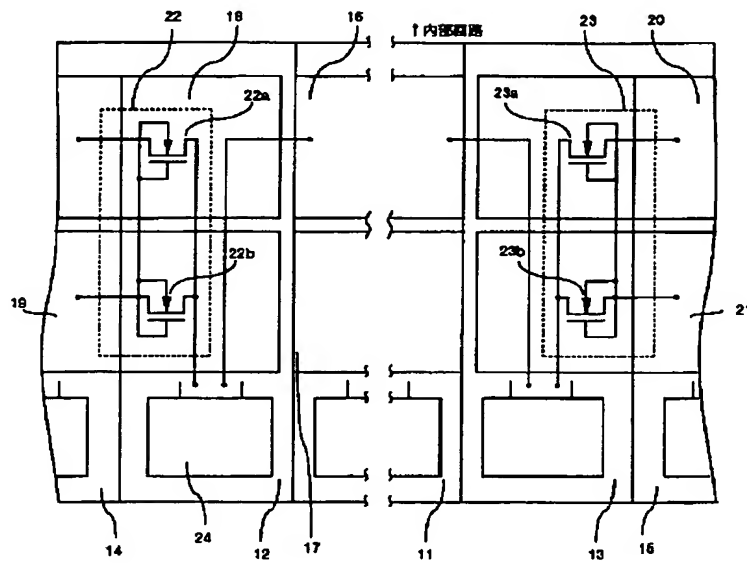
【図7】図5に示す入出力回路に設けられた保護回路の構成を示す構成図である。

【符号の説明】

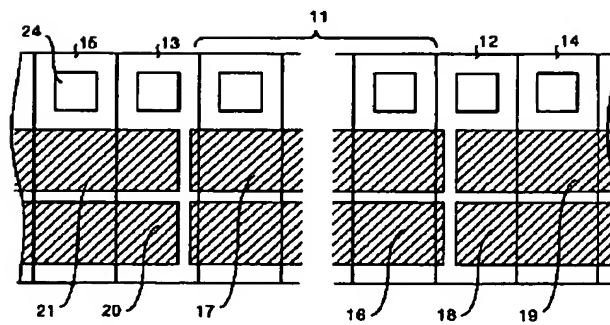
- 11 アナログ入出力端子
- 12 アナログ電源端子
- 13 アナログGND端子
- 14、15 デジタル入出力端子

- | | | | |
|--|------------|---------|----------------|
| 16 | アナログ電源ライン | e, 36 f | NチャネルMOSトランジスタ |
| 17 | アナログGNDライン | 24 | PAD開口部 |
| 18, 20 | デジタル電源ライン | 25, 26 | 間隙部 |
| 19, 21 | デジタルGNDライン | 28, 29 | 抵抗 |
| 22, 23, 30, 31, 36 | 保護回路 | 32~34 | 電源ライン |
| 22a, 22b, 23a, 23b, 30a, 30b, 31a, 31b, 36a, 36b, 36c, 36d, 36e, 36f | | 35 | GNDライン |

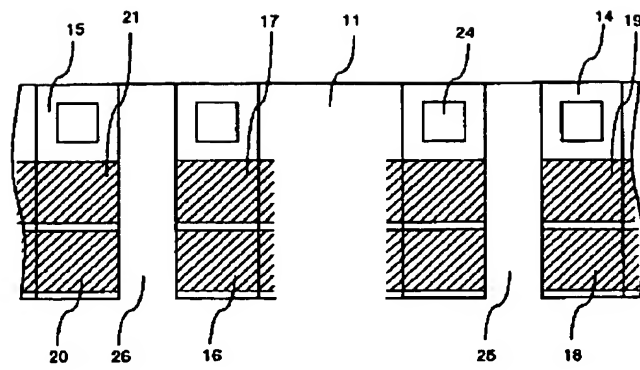
【図1】



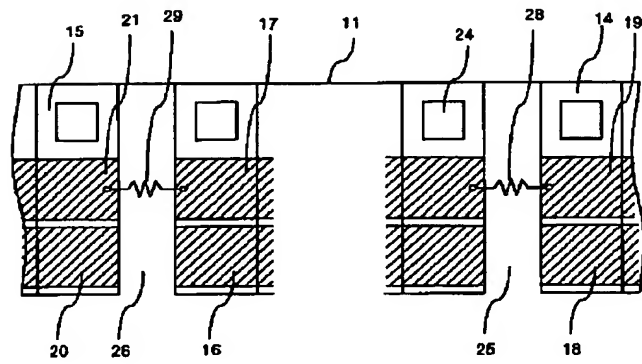
【図2】



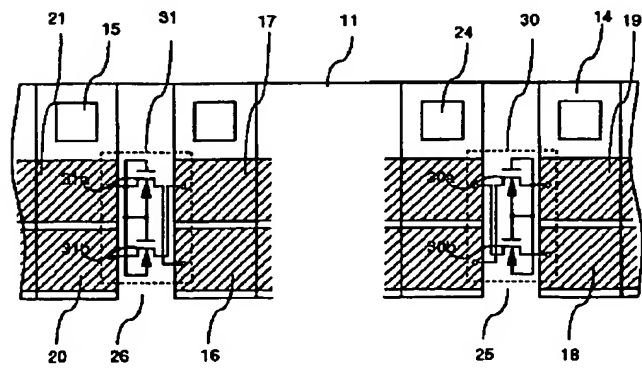
【図3】



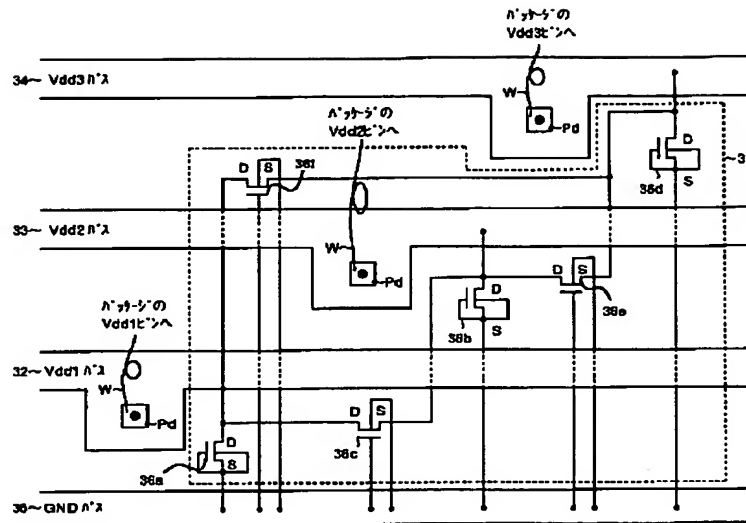
【図4】



【図5】



【図6】



【図7】

